

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

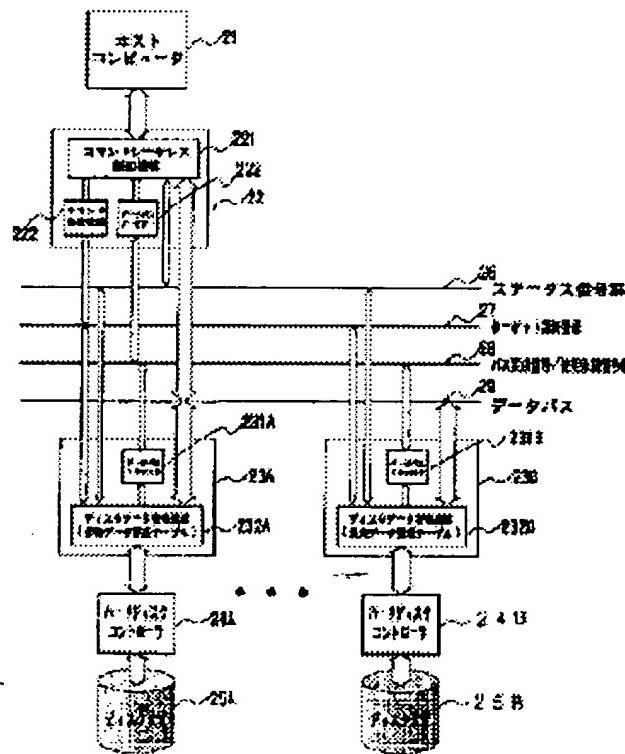
## MULTIPLE ADDRESS TYPE BUS INTERFACE FOR PERIPHERAL EQUIPMENT

**Patent number:** JP6337836  
**Publication date:** 1994-12-06  
**Inventor:** SUGIMOTO KINICHI  
**Applicant:** NEC CORP  
**Classification:**  
- international: G06F13/12; G06F3/06  
- european:  
**Application number:** JP19930129183 19930531  
**Priority number(s):**

### Abstract of JP6337836

**PURPOSE:** To provide a file device in which the management of plural disk file devices from a host computer is facile and whose response is satisfactory.

**CONSTITUTION:** The external storage device of the computer is provided with a bus interface consisting of a command sequence control mechanism 221 analyzing a disk read/write request from the host computer 21 and controlling the file device, a command issuing mechanism 222 which can transmit the read/write request of data from the host computer to all the disk files, plural bus interface control mechanisms 23A and 23B which judge whether the read/write request from the host computer 21 can be executed or not and which can issue a bus request, disk devices 25A and 25B and a data bus arbiter 223 executing arbitration for the bus request from the plural disk file devices.



Data supplied from the **esp@cenet** database - Worldwide

## Reference B

Japanese Patent Application Public-disclosure No. 6-337836

Japanese Patent Application Public-disclosure date: December 6, 1994

Title of the invention: Broadcast-type bus interface for peripheral equipment

Japanese Patent Application No. 5-129183

Japanese Patent Application date: May 31, 1993

### [Problems to be solved by the invention]

In requesting input to/output from a disk, a conventional interface used for a disk file unit exchanges commands in the form of information identifying a file unit and a packet designating a logical sector address and the like. At the same time, a logical sector address needs to be changed to a physical sector address on driver software whereas a disk unit must be designated (Japanese Patent Application Public-disclosure No. 2-278362: Data transfer control unit). Therefore, it is difficult even for an intelligent interface such as SCSI to manage a file while disregarding physical information (Japanese Patent Application Public-disclosure No. 60-103474: Disk control unit).

Employing an intelligent interface, it is still necessary to utilize physical information about where input/output data is saved and to manage a file on the host computer side. Thus, in an environment where various devices and multiple drives coexist, they need to be managed independently, which significantly complicates management procedure (Japanese Patent Application Public-disclosure No. 63-79156: Data processor).

When invoking specific data from high-volume data, information for managing data is additionally saved to a secondary memory. Therefore, the number of accesses to the memory to actually access targeted data increases, which results in deterioration of unit performance.

### [Means for solving the problems]

The present invention employs the following means for solving the aforementioned problems of a conventional interface:

(1) A bus interface for computer external memory comprising multiple file units and further comprising: command sequence control mechanism (221), command issuing mechanism (222); and data bus arbiter (223). The command sequence control mechanism (221) coupled to host computer (21), command issuing mechanism (222), data bus arbiter (223), status signals and data bus (29), interprets a data readout

request/write request from host computer (21) to the file units and controls the file units. The command issuing mechanism (222) coupled to command sequence control mechanism (221) and target selection signal (27), transmits a data readout request/write request from host computer (21) to the multiple file units simultaneously. The data bus arbiter (223) coupled to command sequence control mechanism (221), a bus request signal and use approve signals (28), arbitrates bus requests from the multiple file units.

(2) A bus interface for computer external memory comprising multiple file units and further comprising: command sequence control mechanism (321), command issuing mechanism (322) and data bus arbiter (323). The command sequence control mechanism (321) coupled to host computer (31), command issuing mechanism (322), data bus arbiter (323), status signals and data bus (39), interprets a readout request/write request from host computer (31) to the file units and controls the file units. The command issuing mechanism (322) coupled to command sequence control mechanism (321) and target selection signal (37), transmits a data readout request/write request from host computer (31) to the multiple files simultaneously. The data bus arbiter (323) coupled to host computer (31), command issuing mechanism (322), data bus arbiter (323), status signals (36) and data bus (39), determines whether it is possible to execute an input request/output request from host computer (31), and if it is determined that it is necessary to issue an additional input request/output request to execute the request, makes it possible to re-issue an input request/output request and arbitrates bus requests from the multiple file units.

#### [Function]

The present invention implements a data input/output protocol unit of a higher level in secondary memory of a computer to thereby conduct data transfer between the computer and the secondary memory, irrespective of where data is stored. Thus, in a file server where bulk data needs to be managed intensively, the present invention makes it easy to manage data in an environment where a large number of or various kinds of devices coexist and to also configure and manage a unit in accordance with a use.

#### [Brief explanation of the drawings]

Fig. 1 is a flow chart describing processes conducted in an embodiment of a data transfer device of intelligent secondary memory in accordance with Claim 1 of the subject application.

Fig. 2 is a block diagram describing an embodiment of the intelligent

secondary memory in accordance with Claim 1 of the subject application.

Fig. 3 is a block diagram describing an embodiment of an intelligent secondary memory in accordance with Claim 2 of the subject application.

B

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-337836

(43)公開日 平成6年(1994)12月6日

(51) Int.Cl. <sup>5</sup> G 06 F 13/12 3/06	識別記号 3 4 0 A 3 0 2 B	序内整理番号 8133-5B	F I	技術表示箇所
---	----------------------------	-------------------	-----	--------

審査請求 有 請求項の数2 O L (全8頁)

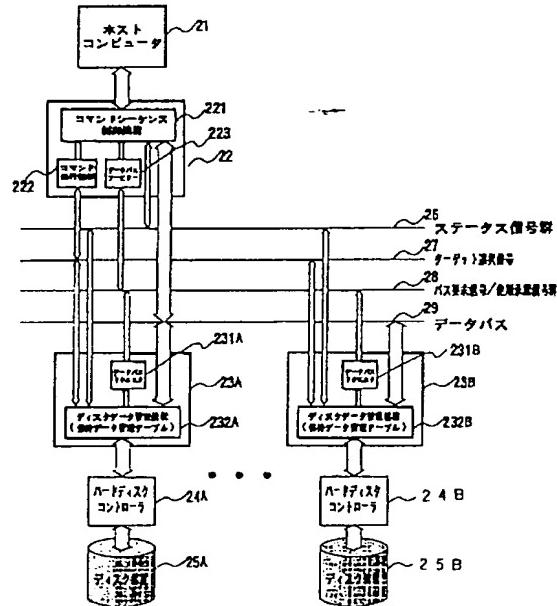
(21)出願番号 特願平5-129183	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日 平成5年(1993)5月31日	(72)発明者 杉本 鮎一 東京都港区芝五丁目7番1号 日本電気株 式会社内
	(74)代理人 弁理士 本庄 伸介

(54)【発明の名称】周辺装置用同報型バスインターフェース

## (57)【要約】

【目的】ホストコンピュータからの複数のディスクファイル装置の管理を容易とし、レスポンスの良いファイル装置を実現することを目的とする。

【構成】コンピュータの外部記憶装置において、ホストコンピュータ21からのディスク読みだしと書き込み要求を解釈し、ファイル装置の制御を行なうコマンドシーケンス制御機構221と、ホストからのデータの読みだし及び書き込み要求を全ディスクファイルに伝達可能なコマンド発行機構222と、前記ホストコンピュータからの読みだしと書き込み要求を実行可能かを判断したうえでバス要求を発行可能な複数のバスインターフェース制御機構3A及び3B及びディスク装置25A及び25Bと、それらの複数のディスクファイル装置からのバス要求に対するアビトリレーションを行なうデータバスアービタ-223からなるバスインターフェース。



1

## 【特許請求の範囲】

【請求項1】複数のファイル装置から構成されたコンピュータ外部記憶装置のバスインターフェースにおいて、コマンドシーケンス制御機構とコマンド発行機構とデータバスアービターとを具備してなり、前記コマンドシーケンス制御機構は、ホストコンピュータから前記ファイル装置に対する読み出しと書き込み要求を解釈し、前記ファイル装置の制御を行なうものであり、前記ホストコンピュータ、前記コマンド発行機、構前記データバスアービター、ステータス信号群及びデータバスに接続された状態で具備され、前記コマンド発行機構は前記ホストコンピュータからのデータの読みだし及び書き込み要求を前記複数のファイル装置に同時に伝達するものであり、前記コマンドシーケンス制御機構及びターゲット選択信号に接続された状態で具備され、前記データバスアービターは、複数の前記ファイル装置からのバス要求に対するアービトレーションを行なうものであり、前記コマンドシーケンス制御機構及びバス要求信号と使用承認信号群に接続された状態で具備されることを特徴とするバスインターフェース。

【請求項2】複数のファイル装置から構成されたコンピュータ外部記憶装置のバスインターフェースにおいて、コマンドシーケンス制御機構とコマンド発行機構とデータバスアービターとを具備してなり、前記コマンドシーケンス制御機構は、ホストコンピュータから前記ファイル装置に対する読み出しと書き込み要求を解釈し、前記ファイル装置の制御を行なうものであり、前記ホストコンピュータ、前記コマンド発行機、構前記データバスアービター、ステータス信号群及びデータバスに接続された状態で具備され、前記コマンド発行機構は前記ホストコンピュータからのデータの読みだし及び書き込み要求を前記複数のファイル装置に同時に伝達するものであり、前記コマンドシーケンス制御機構及びターゲット選択信号に接続された状態で具備され、前記データバスアービターは、前記ホストコンピュータからの入出力要求を実行可能かを判断し、前記要求の実行のために追加入出力要求が必要と判断された場合に入出力を再発行可能とし、複数の前記ファイル装置からのバス要求に対するアービトレーションを行なうものであり、前記ホストコンピュータ、前記コマンド発行機、構前記データバスアービター、ステータス信号群及びデータバスに接続された状態で具備されたことを特徴とするバスインターフェース。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、コンピュータの2次記憶装置にかわり、特にホストコンピュータと2次記憶装置の間のインターフェース装置に関する。

2

## 【0002】

【従来の技術】コンピュータシステム高度化・複雑化とともに、周辺装置とのインターフェースに関しても高度のメッセージのやりとりを行なうインテリジェントなものが増加している例えばANSI X3 / 131-1986 "Small Computer Interface"。このようなシステムでは、各周辺装置において細かなハードウェアの制御を行い、ホストコンピュータ側に負担をかけないように制御を行うことが可能である。しかしこのような2次記憶装置では、ホストコンピュータ側では、データのやり取りをするディスク装置及びその転送先セクタアドレスを特定した上で、データの読みだし、あるいは書き込みなどあらかじめ決められた単純な入出力メッセージに対応して動作を行うのみであり、データを物理的にどこにどのように保存するかなどの管理は、依然ホストコンピュータ上のオペレーティングシステムにより行われてきた。よって、ディスク装置などの2次記憶装置を複数台の独立したデバイスであるということを意識しながら管理する必要があった。

## 【0003】

【発明が解決しようとする課題】従来ディスクファイル装置用に用いられているインターフェースにおいては、ディスクに対する入出力要求はファイル装置を特定するため情報と、理論セクタアドレスなどを指定したパケットの形態でコマンドのやり取りを行なっている。また、同時にドライバソフトウェア上で論理的なセクタアドレスの物理セクタアドレスへの交換と、ディスク装置の指定を行なう必要がある(特開平02-278362:データ転送制御方式)。よってSCSIのようなインテリジェントなインターフェースの場合においても、物理情報に関係なくファイル装置の管理を行うことは困難であった(特開昭60-103474:ディスク制御方式)。

【0004】よってインテリジェントなインターフェースを使用した場合においても、ファイル管理においては、入出力データの保存場所に関して物理的な情報を用いて、ホストコンピュータ側で管理する必要がある。よって様々なデバイス及び複数のドライブを混ぜた利用環境においては、それぞれに関して管理を行なう必要が生じ、管理が繁雑となっていた(特開昭63-079156:データ処理装置)。

【0005】また、大量のデータの中から特定のデータを呼出す場合は、データを管理するための情報も2次記憶装置上に保存されるため、目的のデータにアクセスするためアクセスする回数が増加しシステム性能の低下を引き起す。

## 【0006】

【課題を解決するための手段】本発明ではかかる目的を達成するために以下の手段を用いる。

【0007】(1) 複数のファイル装置から構成されたコンピュータ外部記憶装置のバスインターフェースにお

3

いて、コマンドシーケンス制御機構（221）とコマンド発行機構（222）とデータバスアービター（223）とを具備してなり、コマンドシーケンス制御機構（221）は、ホストコンピュータ（21）から前記ファイル装置に対する読み出しと書き込み要求を解釈し、前記ファイル装置の制御を行なうものであり、ホストコンピュータ（21）、コマンド発行機構（222）、データバスアービター（223）、ステータス信号群及びデータバス（29）に接続された状態で具備され、コマンド発行機構（222）はホストコンピュータ（21）からのデータの読みだし及び書き込み要求を前記複数のファイル装置に同時に伝達するものであり、コマンドシーケンス制御機構（221）及びターゲット選択信号27に接続された状態で具備され、データバスアービター（223）は、複数の前記ファイル装置からのバス要求に対するアービトリレーションを行なうものであり、コマンドシーケンス制御機構（221）とバス要求信号及び使用承認信号群（28）に接続された状態で具備されたことを特徴とするバスインタフェース。

【0008】(2) 複数のファイル装置から構成されたコンピュータ外部記憶装置のバスインタフェースにおいて、コマンドシーケンス制御機構（321）とコマンド発行機構（322）とデータバスアービター（323）とを具備してなり、コマンドシーケンス制御機構（321）は、ホストコンピュータ（31）から前記ファイル装置に対する読み出しと書き込み要求を解釈し、前記ファイル装置の制御を行なうものであり、ホストコンピュータ（31）、コマンド発行機構（322）、データバスアービター（323）、ステータス信号群及びデータバス（39）に接続された状態で具備され、コマンド発行機構（322）はホストコンピュータ（31）からのデータの読みだし及び書き込み要求を前記複数のファイル装置に同時に伝達するものであり、コマンドシーケンス制御機構（321）及びターゲット選択信号（37）に接続された状態で具備され、データバスアービター（323）は、ホストコンピュータ（31）からの入出力要求実行可能性を判断し、前記要求の実行のために追加入出力要求が必要と判断された場合に入出力を再発行可能とし、複数の前記ファイル装置からのバス要求に対するアービトリレーションを行なうものであり、ホストコンピュータ（31）、コマンド発行機構（322）、データバスアービター（323）、ステータス信号群（36）及びデータバス（39）に接続された状態で具備されたことを特徴とするバスインタフェース。

【0009】

【作用】本発明は、コンピュータの2次記憶装置に上位レベルのデータ入出力プロトコル装置を実現することにより、記憶データの保存位置を意識しないで、ホストコンピュータと2次記憶装置のデータ転送を実現する。それに伴い大容量のデータを集中的に管理する必要がある

4

ファイルサーバーなどにおいて、多数あるいは多種のデバイスの共存する利用環境においても管理を容易とし、用途に応じたシステムの構成管理が可能となる。

【0010】

【実施例】請求項1にかかる1実施例（第1実施例）を説明する。

【0011】図1が本発明にかかるデータ処理フローである。

【0012】図2はブロック構図である。ここでは2次記憶装置としてハードディスク、磁気テープなどの異なるデバイスが複数混在する場合においても同様に適用が可能である。図1はホストコンピュータ21側のバスインターフェースとディスク側バスインターフェースとの間でのコマンド及びデータの送受信における転送シーケンスを表わし、各処理名称はフェーズ名称である。

【0013】通常ホストコンピュータ21は2次記憶装置に対するアクセス要求がない場合、バスフリーフェーズでバス要求待ちを行う。2次記憶装置に対するアクセス要求が生じた時点でバスを獲得しコマンドフェーズに移行する。コマンドフェーズではデータ転送の対象となるすべてのディスクファイルに対してコマンドを発行したのち1旦バスを解放してバスフリーフェーズに移行する。

【0014】もしデータ転送要求に関してデータ転送不可能なインタンクフェース制御機構がデータ転送可能である場合はデータバスの使用を要求してくるため、再びバスアービトリレーションフェーズ移行しする。もし1定期間の間にデータバス使用要求が無い場合には、コマンドシーケンス制御機構部221は、ホストコンピュータ21からの入出力に対するデータが存在しないものと判断し、データ転送デバイスの特定を行った後ステータスフェーズに移行し対象データが存在しないとして転送シーケンスを終了する。

【0015】バスアービトリレーションフェーズでは、ホストコンピュータ側バスフリーフェース制御機構22に予め登録されたディスク側バスフリーフェース制御機構の優先順位を元にデータバス29使用要求の出でいるディスク側バスインターフェース制御機23A構を選択する。その後メッセージフェーズに移行する。

【0016】メッセージフェーズではバスアービトリレーションフェーズにおいてバスを獲得したディスク側バスインターフェース制御機構から、ホストコンピュータ21側バスインターフェース制御機構に対して実際に転送を実行するデータの長さ、ディスク上の実行するコマンドパケット、バスのリリースを途中で行う場合はその情報も併せて通知する。その後データフェーズに移行する。

【0017】データフェーズでは、メッセージフェーズで伝達した転送フォーマットに基づきの入出力を実行する。ステータスフェーズでは、データの転送が正常に終

5

了たし場合正常終了のステータスを返す。データ転送の途中で何らかの異常があった場合はエラーのステータスを返す。

【0018】次にインターフェースのブロック構制において図2を参照し説明する。本発明のインターフェースにおいては、ホストコンピュータ21から受けたデータ入出力要求は、コマンドシーケンス制御部221に渡り、コマンドフェーズにおいてコマンド発行機構222がターゲット選択信号27を使用して全ファイル装置の選択を行い、その後コマンドシーケンス制御機構221がコマンドをデータバス29上に発行する。コマンドを発行した後コマンドシーケンス制御機構221はバスを開放する。ターゲット選択信号27で選択されるとディスク側バスインターフェース機構23A及び23B内のディスクデータ管理機構232A又は232Bは、データバス29上のコマンド信号をモニタし、ディスク側バスインターフェース23A又は23Bに保持している保持データ管理テーブルを使用して要求に合致したデータがディスクファイル装置内に存在するかの照合を実施する。その際必要に応じディスクコントローラ24A及び24Bを経由してディスク装置25A及び25Bを読みだし、データの照合を実行する。もしデータ転送要求を実行可能な場合は、データバスリクエスタ231A又は231Bがバス要求信号28を使用してデータバス29を要求する。コマンドシーケンス制御機構221では複数のディスク側インターフェース制御機構23A及び23Bからのデータバス要求を受け取り、予め登録された優先順位を判断しバス使用承認信号28及びターゲット選択信号27を使用しディスク側バスインターフェース制御機構23A又は23Bを選択する。データバス29の使用権を獲得したディスク側バスインターフェース制御機構23A又は23Bはメッセージフェーズでデータ転送方法をメッセージとしてホストコンピュータ側インターフェースに送った後データフェーズでデータ転送を実行する。

【0019】次に請求項2にかかる実施例（第2実施例）を図1及び図3を参照しながら説明する。これは、図1の破線で示す転送シーケンスにより実行される。図3は本発明の請求項2にかかるブロック図である。ここでは2次記憶装置としてハードディスク装置35Aを2台示したが、2次記憶装置が光ディスク、磁気テープなどの異なるデバイスが複数混在する場合においても同様に適用が可能である。

【0020】本発明インターフェースにおいては、ホストコンピュータ31から受けたデータ入出力要求は、コマンドシーケンス制御部321により、コマンドフェーズにおいてコマンド発行機構322がターゲット選択信号37を使用して全ファイル装置の選択を行い、コマンドシーケンス制御機構321がコマンドをデータバス上に発行する。コマンドを発行した後コマンドシーケンス制御機構321はバスを開放する。ターゲット選択信号3

50

6

7で選択されるとディスク側バスインターフェース機構33A及び33B内のディスクデータ管理機構332A又は332Bは、データバス39上のコマンド信号をモニタし、ディスク側バスインターフェース33A又は33Bに保持している保持データ管理テーブルを使用して要求に合致したデータが、ディスクファイル装置内に存在するかの照合を実施する。その際必要に応じディスクコントローラ34A及び34Bを経由してディスク装置35A及び35Bから保持データ管理テーブルを読みだし、データを実行する。ディスクデータ管理機構332A又は332Bにおいてホストコンピュータ31からのデータ入出力要求を全て実行可能かあるいは部分的に実行可能か判断を行う。ホストコンピュータ31からの入出力要求のあった物理ブロックがすべての入出力が実行可能と判断された場合は完全実行可能のステータスをステータス信号群36出力し同時にデータバスリクエスタ331A又は331Bがデータバス39を要求する。ディスクデータ管理機構332A又は332Bにおいてデータ入出力要求のあった物理ブロックが部分的に入出力実行可能と判断された場合は、1定期間ステータス信号群36をモニタし、その結果他のデバイスが完全実行可能なステータス情報とともにデータバス39の要求を出力しなかった場合は、その時点で他のデバイスにホストコンピュータ31からのデータ入出力要求を実行可能なデバイスが存在しないと判断し、本デバイスが部分的に入出力を実行可能であるとしてステータス信号群36に部分実行可能ステータスを出力すると同時にデータバス39リクエスタ331A又は331Bがデータバス39を要求する。データバス39を獲得した場合は、そのホスト側からの入出力要求の内、ディスク側バスインターフェースモジュール内で部分的に入出力処理の実行を行う物理ブロック部分を除き、入出力処理を実行しない物理ブロック部分に関しては、更にコマンド発行機構がコマンドを再発行し、他に処理可能なデバイスが存在しないかを報知した後、部分実行の処理をメッセージフェーズ、データフェーズを経て実行する。一方ホストコンピュータ側バスインターフェース32では、コマンドシーケンス制御機構321が複数のディスク側インターフェース制御機構33A及び33Bからのデータバス要求を受取り、その予め登録された優先順位を判断しバス使用承認信号38及びターゲット選択信号37を使用しディスク側バスインターフェース制御機構33A又は33Bを選択する。その際、ステータス信号群36をモニタし1定期間実行可能のステータスに対して優先的にバスの割り付けを実施し、1定期間を過ぎても完全実行可能のステータスが得られなかった場合は、部分実行のステータスを出した上でバスを要求するデバイスに対してデータバス39の使用権を与える。

【0021】このようにして、ホストコンピュータ31上からはどのファイル装置上にデータが保存されている

かを意識せずにデータ入出力要求を発行することが可能となる。請求項2の装置を使えば複数のファイル装置にまたがってデータが保存されているような場合においても、ホストコンピュータ31からの単1の入出力要求コマンド入出力処理を実行可能となる。

## 【0022】

【発明の効果】本発明は、コンピュータの2次記憶装置に上位レベルのデータ入出力プロトコル装置を実現することにより、記録データフォーマットを意識しないインテリジェントな2次記憶装置を実現する。このような機能を2次記憶装置に持たせることにより、従来ホストコンピュータおよび2次記憶装置では管理が困難あるいは繁雑となっていたデータの取り扱いを容易とする。また、ホストコンピュータから、ホストが必要とする最低限の情報をのみを提供することを可能にし、ホスト間のデータ転送量を最小限に押さえることを可能とする。

## 【図面の簡単な説明】

【図1】請求項1に係る、インテリジェントな2次記憶装置のデータ転送装置の1実施例を説明するための処理フロー図である。

【図2】請求項1に係る、インテリジェントな2次記憶装置の1実施例を説明するブロック図である。

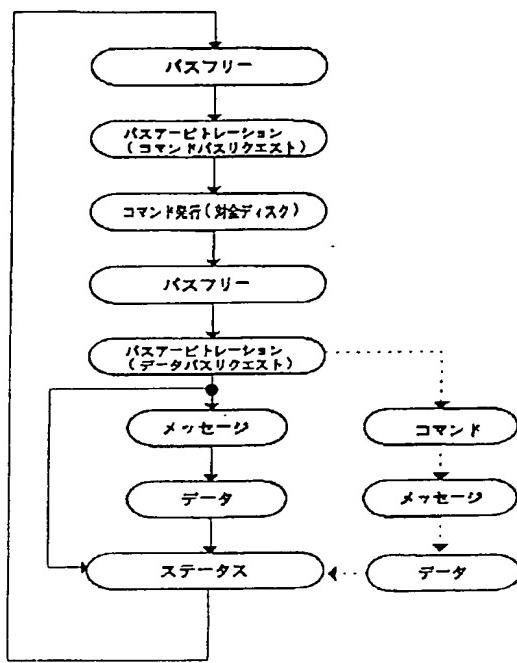
【図3】請求項2に係る、インテリジェントな2次記憶装置の1実施例を説明するブロック図である。

## 【符号の説明】

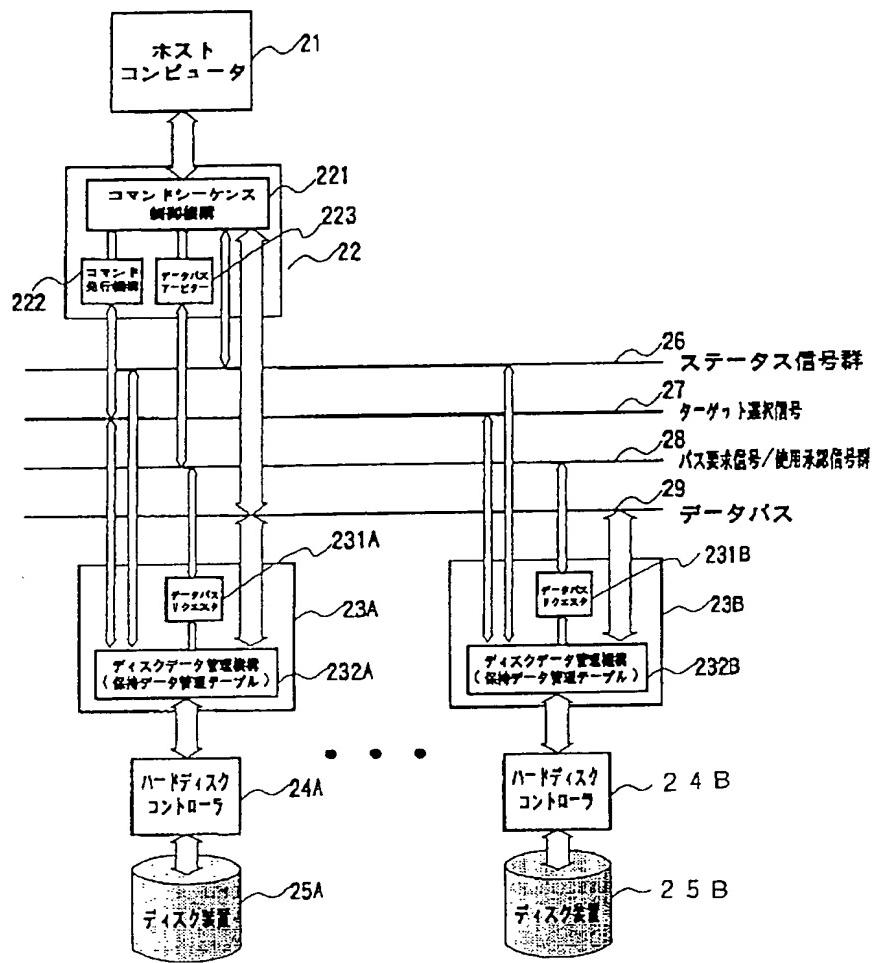
- 2 1 ホストコンピュータ
- 2 2 ホスト側バスインターフェース制御機構
- 2 2 1 コマンドシーケンス制御機構
- 2 2 2 コマンド発行機構
- 2 2 3 データバスアービター
- 2 3 A ディスク側バスインターフェース制御機構
- 2 3 B ディスク側バスインターフェース制御機構
- 2 3 1 A データバスリクエスタ

- |            |                     |
|------------|---------------------|
| 2 3 1 B    | データバスリクエスタ          |
| 2 3 2 A    | ディスクデータ管理機構         |
| 2 3 2 B    | ディスクデータ管理機構         |
| 2 4 A      | ハードディスクコントローラ       |
| 2 4 B      | ハードディスクコントローラ       |
| 2 5 A      | ハードディスク装置           |
| 2 5 B      | ハードディスク装置           |
| 2 6        | ステータス信号群            |
| 2 7        | ターゲット選択信号           |
| 10 2 8     | バス 要求信号と仕様承認信号群     |
| 2 9        | データバス               |
| 3 1        | ホストコンピュータ           |
| 3 2        | ホスト側バスインターフェース制御機構  |
| 3 2 1      | コマンドシーケンス制御機構       |
| 3 2 2      | コマンド発行機構            |
| 3 2 3      | データバスアービター          |
| 3 3 A      | ディスク側バスインターフェース制御機構 |
| 3 3 B      | ディスク側バスインターフェース制御機構 |
| 3 3 1 A    | データバスリクエスタ          |
| 20 3 3 1 B | データバスリクエスタ          |
| 3 3 2 A    | ディスクデータ管理機構         |
| 3 3 2 B    | ディスクデータ管理機構         |
| 3 3 3 A    | コマンド発行機構            |
| 3 3 2 B    | コマンド発行機構            |
| 3 4 A      | ハードディスクコントローラ       |
| 3 4 B      | ハードディスクコントローラ       |
| 3 5 A      | ハードディスク装置           |
| 3 5 B      | ハードディスク装置           |
| 3 6        | ステータス信号群            |
| 30 3 7     | ターゲット選択信号           |
| 3 8        | バス 要求信号と仕様承認信号群     |
| 3 9        | データバス               |

【図1】



【図2】



【図3】

